

PATENT ABSTRACTS OF JAPAN

4

(11)Publication number : 61-138330

(43)Date of publication of application : 25.06.1986

(51)Int.Cl.

G06F 5/06

G06F 13/38

(21)Application number : 59-260225

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.12.1984

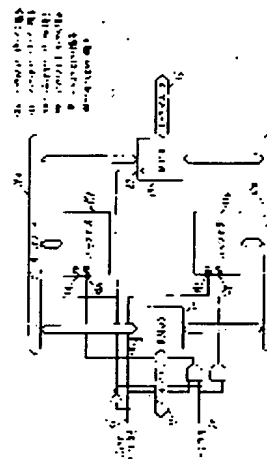
(72)Inventor : TAKAGI SHINYA
SAKAMOTO HISAO

(54) BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To transfer data at a high speed by providing two buffers to input and output data to and from buffers simultaneously.

CONSTITUTION: When a buffer select signal 21 is '1', data on a data bus I15 is outputted to a data bus A12A, and input data is written on a buffer A11A when a write signal 13A of the buffer A11A becomes '1'. At this time, a read- enable terminal RE14B becomes '1', and data is outputted onto a data bus B12B. Further, data on the data bus B12B is outputted to a data bus O16 at this time since a multiplexer MUX19 selects the data bus B12B. When the buffer select signal 21 is '0', input data is written on a buffer B11B, and data is outputted from the buffer A11A.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭61-138330

⑬ Int. Cl.⁴G 06 F 5/06
13/38

識別記号

庁内整理番号

7230-5B
A-7165-5B

⑭ 公開 昭和61年(1986)6月25日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 バッファ回路

⑯ 特 願 昭59-260225

⑰ 出 願 昭59(1984)12月10日

⑱ 発 明 者 高 木 伸 哉 門真市大字門真1006番地 松下電器産業株式会社内
⑲ 発 明 者 阪 本 久 男 門真市大字門真1006番地 松下電器産業株式会社内
⑳ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地
㉑ 代 理 人 弁理士 中尾 敏男 外1名

2 ページ

明 細 書

1. 発明の名称

バッファ回路

2. 特許請求の範囲

2つのバッファを持ち、これらのうち一方が入力用として使用されている時はもう一方が出力用として使用可能となるように構成したバッファ回路。

3. 発明の詳細な説明

産業上の利用分野

本発明はデータ転送時に用いる入出力を同時に行うバッファ回路に関するものである。

従来の技術

従来のバッファ回路は、例えば第2図に示すような構成であった。第2図において、1はバッファ、2はデータバス、3はバッファ1にデータを入力するためのライト信号、4はバッファ1からデータを脱取するためのリード信号である。このように従来は1つのバッファのみでバッファ回路を構成していた。

発明が解決しようとする問題点

このような従来の構成では、データをバッファに入力している間はバッファからデータを出力出来ないという問題があった。本発明はこのような問題点を解決するもので、データの入出力を同時に行うことのできるバッファ回路を提供することを目的としている。

問題点を解決するための手段

この問題点を解決するために本発明は、2つのバッファを用いている。

作用

この構成により、一方のバッファがデータ入力に使用されている間、もう一方のバッファをデータ出力用として用いることができる。

実施例

第1図は本発明の一実施例による入出力を同時に行うバッファ回路のブロック図である。第1図において、11AはバッファA、11BはバッファB、12AはデータバスA、12BはデータバスB、13A、14A、13B、14Bはそれぞれ

3 ページ

れバッファAのライトイネーブル端子、リードイネーブル端子、バッファBのライトイネーブル端子、リードイネーブル端子、15は入力用のデータバスI、16は出力用のデータバスO、17はデータバスI15の入力データをデータバスA12AまたはデータバスB12Bのどちらか一方に出力するためのデマルチプレクサ(DMUX)、18はDMUX17のセレクト端子、19はデータバスA12AまたはデータバスB12Bからの入力のどちらか一方をデータバスO16に出力するためのマルチプレクサ(MUX)、20はMUX19のセレクト端子、21はバッファセレクト信号、22はライト信号である。DMUX17は、バッファセレクト信号21が“1”のとき、データバスAを選択するものであり、このとき、データバスB12Aに対してはハイ・インピーダンスとなる。またMUX19はバッファセレクト信号21が“1”のとき、データバスBを選択するものである。

以上のように構成された本実施例のバッファ回

路について以下その動作を説明する。バッファセレクト信号21が“1”のとき、データバスI15上のデータは、データバスA12Aに出力され、バッファAのライト信号13Aが“1”となった時、入力データはバッファAに書き込まれる。この時、バッファBのリードイネーブル端子14Bが“1”となり、データバスB上にデータが出力される。更にこの時、MUX19はデータバスBは選択しているので、データバスB上のデータがデータバスO16に出力される。逆にバッファセレクト信号21が“0”の時、バッファBに入力データが書き込まれ、バッファAからデータが出力される。

発明の効果

以上のように、本発明によれば、2つのバッファを持つことによってバッファへのデータの入出力を同時に行うことができ、データ転送を高速に行うことができる。

4. 図面の簡単な説明

第1図は本発明の一実施例における入出力を同時に行うバッファ回路のブロック図、第2図は従

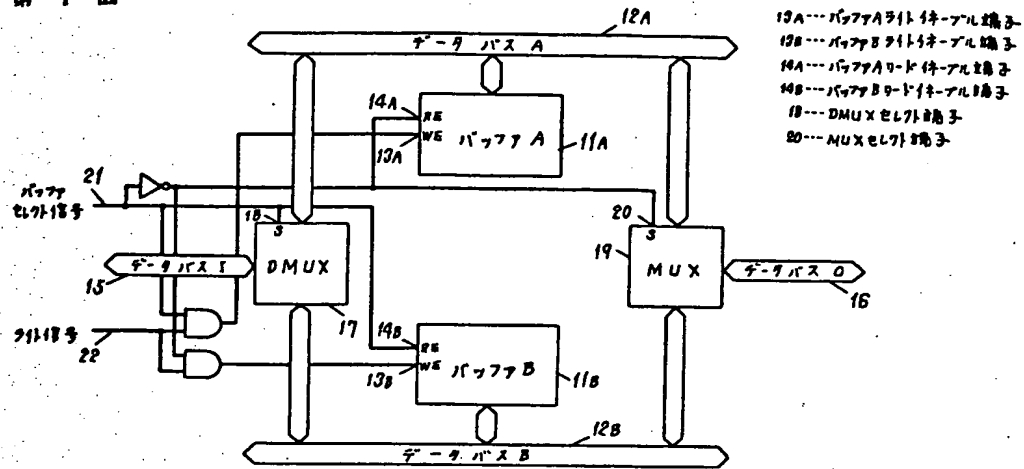
5 ページ

来のバッファ回路のブロック図である。

1……バッファ、3……ライト信号、4……リード信号、11A……バッファA、11B……バッファB、17……デマルチプレクサ、19……マルチプレクサ、21……バッファセレクト信号、22……ライト信号。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図

